

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Brintzinger et al.
Serial No. : 10/656,042
Filed : September 5, 2003
For : METHOD FOR THE SOLDIER-STOP STRUCTURING OF
ELEVATIONS ON WAFERS

I hereby certify that this paper is being deposited with the United States
Postal Service as first class mail in an envelope addressed to:
Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450,
on:

September 22, 2003

Date of Deposit

James J. Maune

Attorney Name

26,946

PTO Reg. No.

September 22, 2003

Date of Signature

Signature

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

Commissioner of Patents
P.O. Box 1450
Alexandria, VA 22313-1450
Sir:

A claim for priority is hereby made under the provisions of 35 U.S.C. §119 for
the above-identified U.S. patent application based upon Germany Application No. 102 41 589.7
filed September 5, 2002 . A certified copy of this application is enclosed.

Respectfully submitted,


James J. Maune

Patent Office Reg. No. 26,946

Attorney for Applicants
212-408-2566

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 41 589.7

Anmeldetag: 05. September 2002

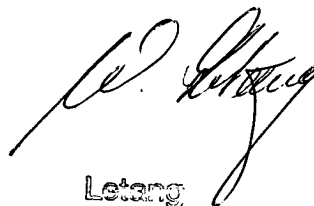
Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zur Lötstopp-Strukturierung von
Erhebungen auf Wafern

IPC: H 01 L 21/60

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 27. August 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Letang



5 **Verfahren zur Lötstopp-Strukturierung von Erhebungen auf Wa-
fern**

Zusammenfassung

10

Die Erfindung betrifft ein Verfahren zur Lötstopp-Strukturierung von Erhebungen auf Wafern, wie 3-D Kontakt-Strukturen in Form von elastischen bzw. nachgiebigen Kontakt-

15 Bond Pad auf dem Wafer elektrisch verbunden sind, wobei sich die Metallisierung über die 3-D Struktur erstreckt und aus einer Cu/Ni-Schicht besteht, die mit einer Au-Schicht abgedeckt ist. Durch die Erfindung soll nunmehr ein Verfahren zur Löt-

20 stopp-Strukturierung von Erhebungen auf Wafern geschaffen werden, das einfach und sicher zu realisieren ist und bei dem neben einem sicheren Solder Stopp auch ein guter Flankenschutz der 3-D Struktur gewährleistet wird. Der Erfindung liegt nun-

25 mehr die Aufgabe zugrunde, Verfahren zur Lötstopp-Strukturierung von Erhebungen auf Wafern zu schaffen, das einfach und sicher zu realisieren ist und bei dem neben einem si-

30 cheren Solder Stopp auch ein guter Flankenschutz der 3-D Struktur gewährleistet wird. Erfindungsgemäß wird auf der Spitze der 3-D Struktur (1) ein Resist (11) abgeschieden und anschließend über der Metallisierung einschließlich des Resists (11) eine Lötstopp-Schicht (8) abgeschieden. Nachfolgend wird der auf der Spitze der 3-D Struktur (1) befindliche Resist (11) einschließ-

so dass die Au-Schicht (7) auf der Spitze der 3-D Struktur (1) frei liegt. (Fig. 6)

4

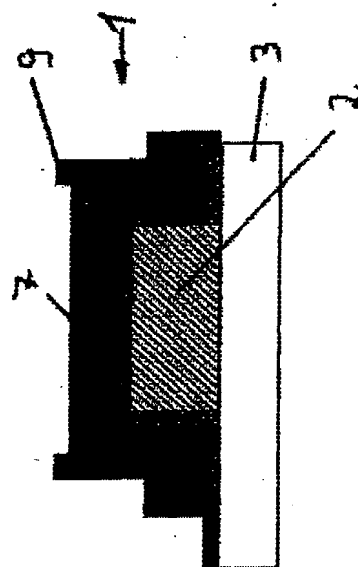


Fig. 6

5 Verfahren zur Lötstopp-Strukturierung von Erhebungen auf Wafern

Die Erfindung betrifft ein Verfahren zur Lötstopp-Strukturierung von Erhebungen auf Wafern, wie 3-D Kontaktstrukturen in Form von elastischen bzw. nachgiebigen Kontaktbumps, die über eine Metallisierung (Reroute Layer) mit einem Bond Pad auf dem Wafer elektrisch verbunden sind, wobei sich die Metallisierung über die 3-D Struktur erstreckt und aus einer Cu/Ni-Schicht besteht, die mit einer Au-Schicht abgedeckt ist.

Die zunehmende Integration von Halbleiterbauelementen und die stetig steigende Anzahl notwendiger elektrischer Verbindungen zwischen Halbleiterchips und Trägerelementen und insbesondere die erforderliche Miniaturisierung im Sinne von möglichst flachen Baugruppen, hat zum Einsatz der direkten Kontaktierung der Halbleiterchips auf den Trägerelementen (Flip-Chip Bonden) geführt. Das hat zu einer deutlichen Vereinfachung der Montage-technologie geführt, da metallische Zwischenträger und das Herstellen von Drahtbrücken zur elektrischen Kontaktierung entfallen können.

Um allerdings eine direkte Kontaktierung von Halbleiterchips auf Trägerelementen, wie einem PCB (Printed Circuit Board), zu ermöglichen, ist es erforderlich, auf dem Halbleiterchip 3-D Strukturen, sogenannte Bumps (Löthügel) herzustellen, die auf ihrem jeweils höchsten Punkt eine vergoldete Kontaktfläche aufweisen und über eine Leitbahn mit einem Bond Pad des Wafers verbunden sind. Diese vergoldete Kontaktfläche kann dann mit einem Mikroballe o. dgl. aus einem Lotmaterial versehen und mit einem entsprechenden Lötkontakt auf dem PCB elektrisch und mechanisch verbunden werden.

- Um einen gewissen Ausgleich von mechanischen Belastungen der fertigen Baugruppe, z.B. verursacht durch unterschiedliche thermische Ausdehnungskoeffizienten der einzelnen Komponenten, oder bei deren Handhabung, zu erreichen, wird die Grundstruktur der Bumps aus einem nachgiebigem Material, z.B. Silicon, hergestellt, so dass eine dreidimensionale, mechanisch flexible Struktur entsteht.
- 10 Die für die elektrische Verbindung zwischen den Bond Pads und den Bumps eingesetzten Leitbahnen bestehen beispielsweise aus einer Seed Layer (Keimschicht), auf der eine Cu-Leitbahn und darüber eine Ni-Schicht aufgewachsen ist, die zum Schutz der Cu-Schicht vor Korrosion dient. Unter der
- 15 Seed Layer und den Bumps befindet sich ein Dielektrikum, so dass sichergestellt ist, dass eine elektrische Verbindung nur zwischen der vergoldeten Kontaktfläche auf dem Bump und dem zugehörigen Bond Pad besteht.
- 20 Um eine Lötbarkeit zu erreichen, muss die Nickelschicht an den entsprechenden Stellen, das sind die Spitzen der 3-D Strukturen, mit Gold beschichtet werden.
- 25 Es muss dabei unbedingt gewährleistet werden, dass die Goldbeschichtung nur auf den Spitzen der 3-D Strukturen erfolgt bzw. dass die Redistribution Layer, die von den 3-D Strukturen herunterführt, absolut frei von Gold ist, um einen Solder Stop beim Löten des Halbleiterchips auf einem Trägerelement sicher zu stellen. Andernfalls würde das Soldermaterial
- 30 unkontrolliert über die Redistribution Layer fließen und mechanische sowie elektrische Eigenschaften negativ beeinflussen. Insbesondere würde die Zuverlässigkeit der fertigen elektronischen Baugruppe beeinträchtigt werden.
- 35 Bei dem derzeit praktisch angewendeten Verfahren wird die notwendige Strukturierung der Goldschicht durch einen allgemein bekannten lithographischen Prozess realisiert. Das erfolgt dadurch, dass unmittelbar nach der Seed Layer und der

Cu/Ni-Schicht der Redistribution Layer das Gold auf der gesamten Redistribution Layer abgeschieden wird. Nachfolgend wird die Goldschicht durch eine Lithographie so abgedeckt, dass eine selektive Ätzung bzw. Strippen der nicht erwünschten Goldschicht erfolgen kann und zum Schluss nur noch eine Goldschicht unmittelbar auf der Spitze der 3-D Struktur übrig bleibt.

Dieses Verfahren lässt sich zusammengefasst mit folgendem Prozessfluss darstellen:

- Abscheidung der Seed Layer
 - EPR1 (Epoxy Photoresist 1): Beschichten und Strukturieren
(Lithographieschritt 1)
 - Reroute plating, Herstellen der Cu/Ni-Schicht auf der Seed Layer
 - Beschichten der Reroute Trace mit Au
 - EPR2 (Epoxy Photoresist 2): Beschichten und Strukturieren
(Lithographieschritt 2)
 - selektives Ätzen der Au-Schicht
(Nassätzen oder Abtragen/Strippen)
- Das Ergebnis dieses Verfahrens sind zwar eine 3-D Struktur mit einer Goldbeschichtung auf deren Spitze, jedoch gleichzeitig auch ungeschützte Seitenflanken derselben. Das bedeutet, dass damit zwar sichergestellt ist, dass beim späteren Verbinden des Wafers mit einem PCB, kein Lotmaterial seitlich über die Flanken der 3-D Struktur abfließen kann, was zu Funktionsstörungen führen könnte. Der hiermit in Kauf genommene erhebliche Nachteil ist aber, dass die Ni-Schicht beim Au Ätzen/Strippen ebenfalls mit angegriffen wird und dass die Ni-Schicht gegen Korrosion vollkommen ungeschützt ist.

Bei einem anderen praktisch angewendeten Verfahren werden

die 3-D Strukturen zunächst wie bereits beschrieben, mit Leitbahnen aus Au beschichteten Cu/Ni- Schichten mit dem zugehörigen Bond Pad verbunden und nachfolgend derart in eine Vergussmasse eingebettet, dass nur die Spitzen der 3-D
5 Strukturen frei bleiben. Ein derartiges Verfahren ist jedoch schwierig zu handhaben.

Der Erfindung liegt nunmehr die Aufgabe zugrunde, Verfahren zur Lötstopp-Strukturierung von Erhebungen auf Wafern zu
10 schaffen, das einfach und sicher zu realisieren ist und bei dem neben einem sicheren Solder Stopp auch ein guter Flankenschutz der 3-D Struktur gewährleistet wird.

Die der Erfindung zugrunde liegende Aufgabenstellung wird bei einem Verfahren der eingangs genannten Art dadurch gelöst, dass auf der Spitze der 3-D Struktur ein Photolack (Resist) abgeschieden wird, dass anschließend über der Metallisierung einschließlich des Resists eine Lötstopp-Schicht abgeschieden wird und dass der auf der Spitze der 3-
15 D Struktur befindliche Resist einschließlich der diesen bedeckenden Lötstopp-Schicht entfernt wird.

Damit wird ein Verfahren geschaffen, mit dem eine sichere und einfache Lötstopp-Strukturierung von 3-D Strukturen erreicht, indem der bekannte Lift-off Prozess zur Strukturierung von 3-D Strukturen angewendet wird. Gleichzeitig wird ein wirksamer Flankenschutz der Ni-Oberfläche der 3-D Strukturen erreicht.
25

Vorzugsweise wird als Resist ein Epoxy Photo Resist verwendet, der durch einen Lift-off Schritt thermisch entfernt wird.
30

In einer weiteren Ausgestaltung der Erfindung wird die Lötstopp-Schicht zumindest im Bereich der 3-D Struktur abgeschieden.
35

Weiterhin erfolgt der Schichtaufbau der Leitbahn auf einer

Seed Layer, die auch den elastischen bzw. nachgiebigen Kontaktbump umschließt, wodurch eine fest haftende Metallisierung hergestellt werden kann.

- 5 In weiterer Fortführung der Erfindung besteht die Lötstopp-Schicht aus einem mineralischen Material wie Bor-Nitrid, so dass bei der thermischen Entfernung des EPR, oder eines anderen geeigneten Resists auch gleichzeitig die auf dem EPR befindliche Lötstopp-Schicht mit entfernt wird.

10

Schließlich werden in einer weiteren Ausgestaltung der Erfindung die Cu/Ni-Schichten der Leitbahn innerhalb der EPR1 Maske abgeschieden und anschließend die EPR1 Maske entfernt, woraufhin dann die Lötstopp-Schicht abgeschieden wird.

15

Die Erfindung soll nachfolgend an einem Ausführungsbeispiel näher erläutert werden. In den zugehörigen Zeichnungen zeigen:

- 20 Fig. 1: ein Wafer mit einer 3-D Struktur aus einem nachgiebigen Element nach der Abscheidung der Seed Layer und der Abscheidung eines Photoresists EPR1;

- 25 Fig. 2: die 3-D Struktur nach Fig. 1 nach der Beschichtung mit Cu-/Ni-Schicht;

- Fig. 3: die 3-D Struktur nach Fig. 2 nach der Beschichtung mit einer Au-Schicht innerhalb der Begrenzung durch EPR1;

30

- Fig. 4: die 3-D Struktur nach der Ätzung der Seed Layer und der Beschichtung mit einem Resist auf deren Spitze bzw. oberen Fläche;

- 35 Fig. 5: die 3-D Struktur nach dem Beschichten mit einer Lötstopp-Schicht; und

- Fig. 6: die 3-D Struktur nach dem thermischen Entfernen

des Resists durch einen Lift-off Prozess.

Aus den Fig. 1 bis 6 ist das Verfahren zur Herstellung einer 3-D Struktur 1 mit einem nachgiebigen Element 2 auf einem Wafer 3 mit gleichzeitiger Lötstopp-Strukturierung ersichtlich. Die fertige 3-D Struktur 1 ist in Fig. 6 dargestellt. Diese besteht aus einer Seed Layer 3, die auf dem Wafer 3 abgeschieden worden ist und das nachgiebige Element 2 mit einschließt. Über der Seed Layer befindet sich eine Cu-Schicht 5 und über dieser eine Ni-Schicht 6.

Diese Ni-Schicht 6 wird durch eine dünne lötbare Au-Schicht 7 bedeckt, die sich auch seitlich über die Flanken der 3-D Struktur 1 erstreckt. Um zu gewährleisten dass während eines Lötvorganges kein Lotmaterial seitlich von der 3-D Struktur 1 herunter fließen kann, sind die Flanken der 3-D Struktur 1 sowie auch angrenzende Bereiche der 3-D Struktur 1 mit einer Lötstopp-Schicht 8 bedeckt. Diese Lötstopp-Schicht 8 lässt lediglich den oberen Bereich der Au-Schicht 7 frei, so dass sich ein späterer Lötvorgang nur auf die freie Fläche der Au-Schicht 7 erstrecken kann. Die Lötstopp-Schicht 8 kann auch geringfügig über der Fläche der Au-Schicht 7, einen Rand 9 bildend, hervorstehen.

Diese 3-D Struktur 1 wird nach folgendem Prozessfluss hergestellt:

- Abscheiden der Seed Layer 4 auf dem Wafer 3 und dem nachgiebigen Element.
- 30 - Aufbringen eines Photoresists und Strukturieren zu einer EPR1-Maske 10.
- Reroute Plating, d.h. Aufbringen der Cu-Schicht 5 und der Ni-Schicht 6.
- Abschließendes Beschichten mit der Au-Schicht 7.
- 35 - Entfernen der EPR1-Maske 10 und Ätzen der freiliegenden Flächen der Seed Layer 4.
- Abscheiden und Strukturieren eines Resists 11 auf der Top-

Fläche der Au-Schicht.

- Beschichten der gesamten 3-D Struktur 1 mit der Lötstopp-Schicht 8.
- Entfernen des Resists 11 und der auf diesem befindlichen Lötstopp-Materialies durch einen thermischen Lift-off Prozess, so dass die Au-Schicht (7) auf der Spitze der 3-D Struktur (1) freigelegt ist.

10 Dieses Verfahren beschreibt die Herstellung der kompletten 3-D Struktur 1, wobei auf die Beschreibung der Strukturierung der Leitbahnen zwischen der 3-D Struktur und einem zugehörigen Bondpad verzichtet wurde, da dies problemlos mit den üblichen bekannten Verfahren erfolgen kann.

- 15 Der besondere Vorteil des erfindungsgemäßen Verfahrens ist, dieses einfach und sicher realisieren werden kann und dass neben dem sicheren Solder Stopp auch ein guter Flankenschutz der 3-D Struktur gewährleistet wird. Eine Korrosion der der Cu-Schicht 5 und der Ni-Schicht 6 wird damit wirksam verhindert
- 20 und die Zuverlässigkeit der nach diesem Verfahren hergestellten elektronischen Baugruppen wesentlich verbessert.

12

5 Verfahren zur Lötstopp-Strukturierung von Erhebungen auf Wafern

Bezugszeichenliste

10	1	3-D Struktur
	2	nachgiebiges Element
	3	Wafer
	4	Seed Layer
	5	Cu-Schicht
15	6	Ni-Schicht
	7	Au-Schicht
	8	Lötstopp-Schicht
	9	Rand
	10	EPR1-Maske
20	11	Resist

A3

5 Verfahren zur Lötstopp-Strukturierung von Erhebungen auf Wafern

Patentansprüche

- 10 1. Verfahren zur Lötstopp-Strukturierung von Erhebungen auf Wafern, wie 3-D Kontakt-Strukturen in Form von elastischen bzw. nachgiebigen Kontaktbumps, die über eine Metallisierung (Reroute Layer) mit einem Bond Pad auf dem Wafer elektrisch verbunden sind, wobei sich die Metallisierung über die 3-D
- 15 Struktur erstreckt und aus einer Cu/Ni-Schicht besteht, die mit einer Au-Schicht abgedeckt ist, dadurch gekennzeichnet, dass auf der Spitze der 3-D Struktur (1) ein Resist (11) abgeschieden wird, dass anschließend über der Metallisierung einschließlich des Re-
- 20 sist (11) eine Lötstopp-Schicht (8) abgeschieden wird und dass der auf der Spitze der 3-D Struktur (1) befindliche Resist (11) einschließlich die diesen bedeckende Lötstopp-Schicht (8) entfernt wird.
- 25 2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass als Resist (11) ein Epoxy Photo Resist verwendet wird.
- 30 3. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, dass der Resist (11) durch einen Lift-off Schritt thermisch entfernt wird.
- 35 4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Lötstopp-Schicht (8) zumindest im Bereich der 3-D Struktur (1) abgeschieden wird.
5. Verfahren nach den Ansprüchen 1 bis 4, dadurch gekennzeichnet, dass der Schichtaufbau der Me-

7x.
tallisierung auf einer Seed Layer (4) erfolgt, die auch das elastische bzw. nachgiebige Element (2) umschließt.

5 6. Verfahren nach einem der Ansprüche 1 bis 5, d a d u r c h g e k e n n z e i c h n e t, dass die Lötstopp-Schicht (8) aus einem mineralischen Material wie Bor-Nitrid besteht.

10 7. Verfahren nach einem der Ansprüche 1 bis 6, d a d u r c h g e k e n n z e i c h n e t, dass die Cu/Ni-Schichten (5, 6) der Metallisierung innerhalb der EPRI-Maske (10) abgeschieden werden und dass anschließend die EPRI-Maske (10) und die Seed Layer (4) im Bereich außerhalb 3-D Struktur (1) entfernt wird, woraufhin dann die Lötstopp-Schicht (8) abgeschieden wird.

25

